

I hereby certify that this correspondence is being deposited with the U.S. Postal Service as Express Mail, Airbill No. EV 323 771 500 US, in an envelope addressed to: **Mail Stop Patent Application**, Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on the date shown below.

Dated: July 14, 2003

Signature: 
(Richard Zimmermann)

Docket No.: 29936/39479
(PATENT)

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of: Chang Jin KO

Application No.: Not Yet Assigned

Group Art Unit: Not Yet Assigned

Filed: July 14, 2003 (herewith)

Examiner: Not Yet Assigned

For: METHOD OF FORMING A BARRIER METAL
IN A SEMICONDUCTOR DEVICE

TRANSMITTAL OF PRIORITY DOCUMENT

Mail Stop Patent Application

Commissioner for Patents

P.O. Box 1450


Alexandria, VA 22313-1450

Dear Sir:

Enclosed herewith is a certified copy of Korean Patent Application No. 10-2002-0084338, filed December 26, 2002, upon which priority of the instant application is claimed under 35 U.S.C. §119.

Dated: July 14, 2003

Respectfully submitted,

By 

Nabeela R. McMillian

Registration No.: 43,363

MARSHALL, GERSTEIN & BORUN LLP

233 S. Wacker Drive, Suite 6300

Sears Tower

Chicago, Illinois 60606-6357

(312) 474-6300

Attorney for Applicants

대한민국 특허청

KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0084338
Application Number

출원년월일 : 2002년 12월 26일
Date of Application DEC 26, 2002

출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 년 04 월 16 일

특 허 청

COMMISSIONER





【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0047
【제출일자】	2002.12.26
【발명의 명칭】	반도체 소자의 장벽 금속층 형성 방법
【발명의 영문명칭】	Method of forming a barrier metal in a semiconductor device
【출원인】	
【명칭】	(주)하이닉스 반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	신영무
【대리인코드】	9-1998-000265-6
【포괄위임등록번호】	1999-003525-1
【발명자】	
【성명의 국문표기】	고창진
【성명의 영문표기】	KO,Chang Jin
【주민등록번호】	650327-1000912
【우편번호】	467-850
【주소】	경기도 이천시 대월면 현대6차 아파트 601-1402
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 신영무 (인)
【수수료】	
【기본출원료】	12 면 29,000 원
【가산출원료】	0 면 0 원
【우선권주장료】	0 건 0 원
【심사청구료】	6 항 301,000 원
【합계】	330,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

**【요약서】****【요약】**

a) 하지층상의 다공성막을 패터닝하여 비아홀을 형성하는 단계; b) 상기 비아홀을 포함한 전체 구조 상부에 CVD TiN을 증착하는 단계; c) $N_2 + H_2$ 를 이용한 플라즈마 처리 공정을 실시하는 단계; d) 상기 다공성 막의 표면에 형성된 기공만 CVD TiN으로 매립되게 하기 위해 상기 단계(b 및 c)를 반복적으로 실시하는 단계; e) 상기 비아홀을 포함한 전체 구조 상부에 장벽 금속층을 형성하는 단계를 포함하여 이루어진 반도체 소자의 장벽 금속층 형성 방법이 개시된다.

【대표도】

도 2c

【색인어】

다공성막, 플라즈마, 기공



【명세서】

【발명의 명칭】

반도체 소자의 장벽 금속층 형성 방법{Method of forming a barrier metal in a semiconductor device}

【도면의 간단한 설명】

도 1a 및 1b 는 종래 기술에 따른 반도체 소자의 장벽 금속층 형성 방법을 설명하기 위한 단면도이다.

도 2a 및 도 2d 는 본 발명에 따른 반도체 소자의 장벽 금속층 형성 방법을 설명하기 위한 단면도이다.

* 도면의 주요 부분에 대한 부호의 설명

1: 하지층 2 및 4: SiC층

5: 기공 3: 다공성막

10: 장벽 금속층 11: 씨드 메탈

12: 구리

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<8> 본 발명은 반도체 소자의 장벽 금속층 형성 방법에 관한 것으로 특히, 다공성막인 층간 절연막의 표면에 존재하는 기공(Pore)을 매립한 후 장벽 금속층을 형성함으로써 후



속 공정에 의해 하지층으로 도전체가 유입되는 것을 방지할 수 있는반도체 소자의 장벽 금속층 형성 방법에 관한 것이다.

<9> 반도체 소자의 집적도가 증가함에 따라 금속 배선 사이의 간격이 좁아지게 된다.

이에 따라 금속 배선 사이의 기생 캐패시턴스가 증가하여 소자의 속도를 감소시키는 문제점이 있다. 이러한 문제점을 해결하기 위하여 금속 배선 재료의 경우현재 사용되는 알루미늄이나 텅스텐에서 비저항이 낮고 전기전도도가 우수한 구리등의 적용이 필요하며, 절연막으로는 기존에 사용되는 유전율이 4 이상인 산화막보다 저유전율막이 필요하다.

<10> 저유전율막으로는 유기계(organic)의 폴리머막, 무기계(inorganic)의 SiOC막, 그리고 막 내부에 다공(porosity)이 형성된 다공성막이 있다. 이중에 유기계의 폴리머막 및 무기계의 SiOC막은 유전율이 2.7 정도로 저유전율막중에는 상대적으로 유전율이 높은 편이다.

<11> 다공성막은 막내의 기공 비율을 조절하여 저유전율 특성을 향상시킨다. 이러한 다공성 물질은 졸(sol) 상태의 전구체(precursor)를 큐어링(curing)하는 과정에서 막 내부에 작은 크기의 기포들을 형성시키거나, 전구체인 TEOS 파티클끼리약한 결합을 형성시킨 후 용매(solvent)를 급격히 휘발시켜 다공성 구조를 그대로 지탱하게 하는 방법을 이용하여 만들어진다. 이 과정에서 용매의 건조(drying) 방법에 따라 다공성 물질 내부의 실리카(silica) 망목과 기공 구조가 변화하게된다. SOG막의 큐어링 방법과 같이 열공정에 의해서 용매를 휘발시키게 되면 다공질 물질의 수축 과정에서 치밀한 구조를가진 물질을 형성하게 되어 원하는 저유전율의 다공성막의 특성을 갖지 못한다. 따라서, 용매의 삼중점 이상의 조건에서용매를 급격히 휘



발시키는 초임계 건조(supercritical drying) 방법으로 다공성 물질을 형성한다. 또다른 방법으로는 상압에서 특별한 용액으로 숙성하여 다공성 물질을 형성한다. 기공은 대기 상태에서 유전율이 1이므로 보다 저유전율의 막을 형성하기 위해서는 기공의 비율을 증가시키거나 실리카의 유전 특성을 낮게 형성해야 한다. 그러나, 전자의 경우 기공의 비율이 증가하면 막의 구조적인 강도가 취약해지기 때문에 기계적 안정성이 저하되어 후속 CMP 공정등을 실시할 때 저유전율막이 하층을 건디지 못하는 문제가 발생된다.

<12> 상술한 다공성막을 적용한 반도체 소자 제조 방법을 도 1a 및 1b를 참조하여 설명하기로 한다.

<13> 도 1a 를 참조하면, 하지층(1)상에 제 1 SiC층(2), 다공성막(3) 및 제 2 SiC층(4)을 형성한다. 패터닝 공정에 의해 하지층(1)의 일부가 노출되도록하여 비아홀(100)을 형성한다. 다공성막(3)에는 상술한 바와 같이 다수의 기공(5)이 형성되고 특히 비아홀(100)의 측벽에 기공(6)이 형성된다.

<14> 도 1b 를 참조하면, 비아홀(100)을 포함한 전체 구조 상부에 장벽 금속층(7)이 형성된다. 이때, 비아홀(100) 측벽의 기공으로 인해 장벽 금속층(7)이 단절되어 단절영역(8)이 생기게 된다. 다공성막에 있어서, 기공의 크기는 대략 10-40Å이며, 밀도는 30~50%정도가 된다. 이러한 장벽금속층의 불연속성으로 인해 후속되는 씨드 메탈(seed metal)과 구리등의 매립시 구리가 하지층(1)으로 스며들어 소자의 특성을 저하시키게 된다.

**【발명이 이루고자 하는 기술적 과제】**

<15> 따라서 본 발명은 다공성막인 층간 절연막의 표면에 존재하는 기공(Pore)을 매립한 후 장벽 금속층을 형성함으로써 후속 공정 진행시 하지층으로 도전체가 유입되는 것을 방지할 수 있는 반도체 소자의 장벽 금속층 형성 방법을 제공하는데 그 목적이 있다.

【발명의 구성 및 작용】

- <16> 상술한 목적을 달성하기 위한 본 발명에 따른 반도체 소자의 장벽 금속층 형성 방법은 a) 하지층상의 다공성막을 패터닝하여 비아홀을 형성하는 단계;
- <17> b) 상기 비아홀을 포함한 전체 구조 상부에 CVD TiN을 증착하는 단계;
- <18> c) $N_2 + H_2$ 를 이용한 플라즈마 처리 공정을 실시하는 단계;
- <19> d) 상기 다공성 막의 표면에 형성된 기공만 CVD TiN으로 매립되게 하기 위해 상기 단계(b 및 c)를 반복적으로 실시하는 단계;
- <20> e) 상기 비아홀을 포함한 전체 구조 상부에 장벽 금속층을 형성하는 단계를 포함하여 이루어진 것을 특징으로 한다.
- <21> 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다.
- <22> 도 2a 및 도 2d 는 본 발명에 따른 반도체 소자의 장벽 금속층 형성 방법을 설명하기 위한 단면도이다.
- <23> 도 2a 를 참조하면, 하지층(1)상에 제 1 SiC층(2), 다공성막(3) 및 제 2 SiC층(4)을 형성한다. 패터닝 공정에 의해 하지층(1)의 일부가 노출되도록하여 비아홀(100)을 형



성한다. 다공성막(3)에는 다수의 기공(5)이 형성되고 특히 비아홀(100)의 측벽에 기공(6)이 형성된다.

<24> 도 2b 를 참조하면, 비아홀(100)을 포함한 전체 구조 상부에 TDMA 소스를 이용하여 CVD TiN(20)을 10 내지 20 Å의 두께로 증착한다. CVD TiN은 스테커버리지가 매우 우수하다. CVD TiN 인 MOTiN을 증착할 수도 있다.

<25> 이후, N₂ + H₂가스를 이용하여 플라즈마 처리 공정을 실시한다. 이 플라즈마 처리에 의해 CVD TiN(20)내의 C, O, S등이 수소(Hydrogen)와 결합하여 펌핑 아웃(pumping out)되고 CVD TiN(20)의 두께가 감소된다. 그러므로 다공성막(3) 표면의 기공은 CVD TiN으로 점차 매립되게 된다.

<26> CVD TiN의 증착과 플라즈마 처리를 반복 실시하되 CVD TiN의 두께와 플라즈마 처리시간을 적절히 조절하여 도 2c 에 도시된 바와 같이 기공만 완전히 매립되게 한다.

<27> 도 2d 를 참조하면, 비아홀(100)을 포함한 전체 구조 상부에 금속 장벽층(10) 및 씨드 메탈(11)을 증착한 후 구리와 같은 도전체(12)를 매립한다.

<28> 다공성막의 표면에 형성된 기공이 사술한 공정에 의해 매립되므로 도전체가 이 기공을 통해 하부 구조로 유입되는 현상을 제거할 수 있게 된다.

【발명의 효과】

<29> 사술한 바와 같이 본 발명에 의하면 다공성막인 층간 절연막의 표면에 존재하는 기공(Pore)을 매립한 후 장벽 금속층을 형성하므로써 후속 공정 진행시 하지층으로 도전체가 유입되는 것을 방지할 수 있다.



<30> 본 발명은 실시예를 중심으로 하여 설명되었으나 당 분야의 통상의 지식을 가진 자라면 이러한 실시예를 이용하여 다양한 형태의 변형 및 변경이 가능하므로 본 발명은 이러한 실시예에 한정되는 것이 아니라 다음의 특허 청구 범위에 의해 한정된다.

**【특허청구범위】****【청구항 1】**

- a) 하지층상의 다공성막을 패터닝하여 비아홀을 형성하는 단계;
- b) 상기 비아홀 측벽의 기공을 CVD TiN 막으로 매립하는 단계;
- c) 상기 비아홀을 포함한 전체 구조 상부에 장벽 금속층을 형성하는 단계를 포함하여 이루어진 것을 특징으로 하는 반도체 소자의 장벽 금속층 형성 방법.

【청구항 2】

- 제 1 항에 있어서,
상기 단계(b)는
상기 비아홀을 포함한 전체 구조 상부에 CVD TiN을 증착하는 증착 단계;
 $N_2 + H_2$ 를 이용한 플라즈마 처리 공정을 실시하는 플라즈마 처리 단계;
상기 다공성 막의 표면에 형성된 기공만 CVD TiN으로 매립되게 하기 위해 상기 증착 단계 및 플라즈마 처리 단계를 반복적으로 실시하는 단계를 포함하여 이루어진 것을 특징으로 하는 반도체 소자의 장벽 금속층 형성 방법.

【청구항 3】

- 제 2 항에 있어서,
상기 CVD TiN은 10 내지 20Å의 두께로 형성되는 것을 특징으로 하는 반도체 소자의 장벽 금속층 형성 방법.

【청구항 4】

- a) 하지층상의 다공성막을 패터닝하여 비아홀을 형성하는 단계;



- b) 상기 비아홀을 포함한 전체 구조 상부에 CVD TiN을 증착하는 단계;
- c) $N_2 + H_2$ 를 이용한 플라즈마 처리 공정을 실시하는 단계;
- d) 상기 다공성 막의 표면에 형성된 기공만 CVD TiN으로 매립되게 하기 위해 상기 단계(b 및 c)를 반복적으로 실시하는 단계;
- e) 상기 비아홀을 포함한 전체 구조 상부에 장벽 금속층을 형성하는 단계를 포함하여 이루어진 것을 특징으로 하는 반도체 소자의 장벽 금속층 형성 방법.

【청구항 5】

제 4 항에 있어서,

상기 CVD TiN은 10 내지 20Å의 두께로 형성되는 것을 특징으로 하는 반도체 소자의 장벽 금속층 형성 방법.

【청구항 6】

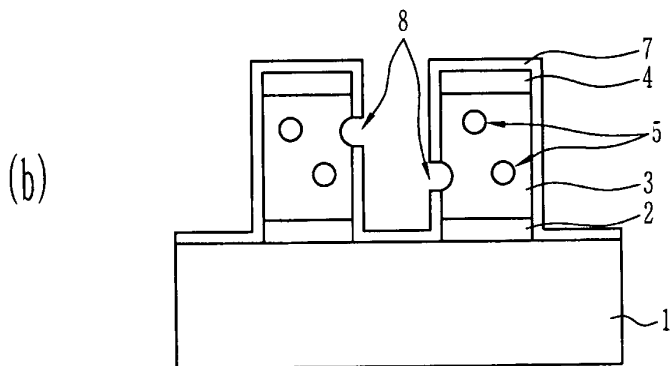
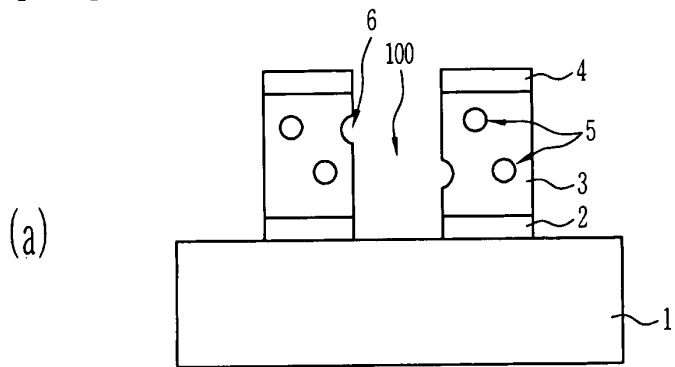
- a) 하지층상의 다공성막을 패터닝하여 비아홀을 형성하는 단계;
- b) 상기 비아홀 측벽의 기공이 매립되도록 MOTiN 막 증착 공정과 플라즈마 처리 공정을 반복 실시하는 단계;
- c) 상기 비아홀을 포함한 전체 구조 상부에 장벽 금속층을 형성하는 단계를 포함하여 이루어진 것을 특징으로 하는 반도체 소자의 장벽 금속층 형성 방법.

+

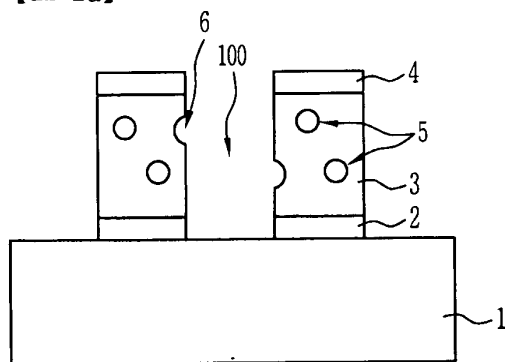


【도면】

【도 1】

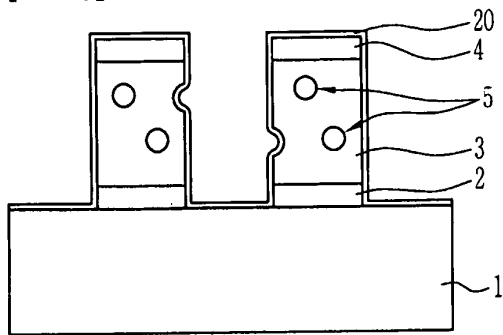


【도 2a】

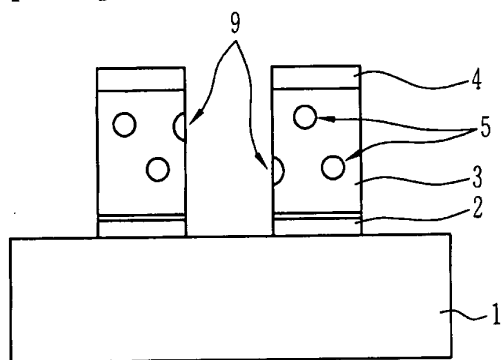




【도 2b】



【도 2c】



【도 2d】

